

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-207792

(43)Date of publication of application : 21.08.1989

(51)Int.Cl.

G09G 3/20

(21)Application number : 63-033787

(71)Applicant : DEIKUSHII KK

(22)Date of filing : 16.02.1988

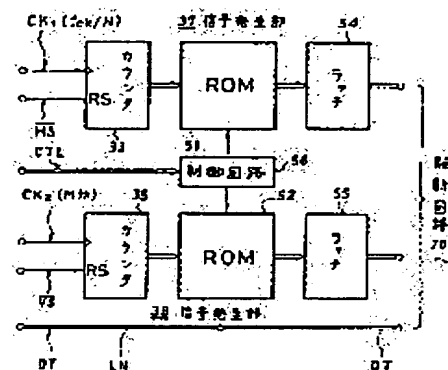
(72)Inventor : IGARASHI TOYOAKI
KISHI TOMOKATSU
YOSHIZAWA TAKAHITO
MORITA MINORU
ENDO JOICHI

(54) XY MATRIX DISPLAY DEVICE

(57)Abstract:

PURPOSE: To easily allow the title device to correspond to external clocks or the like with different formats by providing the device with address counters for counting up external clocks by timing signal generating circuits and generating address signals to be supplied to memories.

CONSTITUTION: The address counters 33, 35 are reset by external synchronizing signals, the contents of the counters 33, 35 are counted up by external clocks having frequencies higher than that of the external synchronizing signals, address signals from the counters 33, 35 are supplied to the memories 51, 52, and an internal clock and an internal synchronizing signal are outputted from the memories 51, 52. The internal clock and the internal synchronizing signal are supplied to a driving circuit 20 together with internal display data, the XY matrix display device is driven by the driving circuit 20 and display is executed on the basis of the internal display data. Consequently, the device can be easily allowed to correspond to external clocks or the like with different formats.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

This Page Blank (uspto)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-207792

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)8月21日

G 09 G 3/20

7335-5C

審査請求 未請求 請求項の数 1 (全11頁)

⑭ 発明の名称 XYマトリックス表示装置

⑰ 特 願 昭63-33787

⑱ 出 願 昭63(1988)2月16日

⑲ 発 明 者 五十嵐 豊明 神奈川県横浜市緑区桂台1-5-5 デイクシー株式会社
内

⑲ 発 明 者 岸 智勝 神奈川県横浜市緑区桂台1-5-5 デイクシー株式会社
内

⑲ 発 明 者 吉澤 孝仁 神奈川県横浜市緑区桂台1-5-5 デイクシー株式会社
内

⑲ 発 明 者 森田 稔 神奈川県横浜市緑区桂台1-5-5 デイクシー株式会社
内

⑲ 出 願 人 デイクシー株式会社 神奈川県横浜市緑区桂台1-5-5

⑲ 代 理 人 弁理士 松隈 秀盛

最終頁に続く

明 細 書

発明の名称 XYマトリックス表示装置

特許請求の範囲

XYマトリックス表示器と、該XYマトリックス表示器を駆動する駆動回路と、外部表示データ、外部クロック及び外部同期信号を受けて、上記駆動回路に供給する内部表示データ、内部クロック及び内部同期信号を発生するタイミング信号発生回路とを有するXYマトリックス表示装置において、

上記タイミング信号発生回路は、

上記内部クロック及び内部同期信号の記憶されたメモリと、

上記外部同期信号によってリセットされると共に、該外部同期信号の周波数より高い周波数を有する上記外部クロックによって計数され、上記メモリに供給するアドレス信号を発生するアドレスカウンタとを有することを特徴とするXYマトリックス表示装置。

発明の詳細な説明

(産業上の利用分野)

本発明はプラズマ表示装置、エレクトロルミネッセンス表示装置、エレクトロケミカル表示装置、液晶表示装置等に適用して好適なXYマトリックス表示装置に関する。

(発明の概要)

本発明は、XYマトリックス表示器と、そのXYマトリックス表示器を駆動する駆動回路と、外部表示データ、外部クロック及び外部同期信号を受けて、駆動回路に供給する内部表示データ、内部クロック及び内部同期信号を発生するタイミング信号発生回路とを有するXYマトリックス表示装置において、タイミング信号発生回路は、内部クロック及び内部同期信号の記憶されたメモリと、外部同期信号によってリセットされると共に、その外部同期信号の周波数より高い周波数を有する外部クロックによって計数され、メモリに供給するアドレス信号を発生するアドレスカウンタとを有するようにしたことにより、回路の簡素化及び

実装面積の減少を図ると共に、タイミング信号発生回路の回路変更を伴わずして、容易に、夫々異なる態様の外部クロック及び外部同期信号並びに内部クロック及び内部同期信号に適應させることができるようにしたものである。

〔従来の技術〕

以下に、本発明を適用して好適な従来のプラズマ表示装置について説明する。

先ず、第3図を参照して、プラズマ表示装置に用いられるプラズマ表示パネルについて説明する。プラズマ表示パネルには、AC型及びDC型があるが、この第3図のプラズマ表示パネルはDC型の場合である。

第3図において、FGPは透明な矩形の前面ガラス板、RGPは矩形の背面ガラス板で、これらは夫々数mmの厚さを有しており、所定間隔において互いに対向せしめられると共に、その周囲が気密に封止されている。この前面ガラス板FGP及び背面ガラス板RGPにて構成される気密空間に

ノードAとの間にトリガー放電（一種のAC型放電）を起こさせ、これを種火として、アノードA及びカソードK間の放電開始を迅速にし、表示のコントラストを向上させるために設けられたものである。

次に、第3図について説明したようなプラズマ表示パネルを使用した、従来の16階調型のプラズマ表示装置について、第4図を参照して説明する。（1）は第3図で説明したプラズマ表示パネルを示し、ここではトリガー電極の図示を省略している。このプラズマ表示パネル（1）では、400本のカソードK（1）～K（400）と、640本のアノードA（1）～A（640）とが互いに直交する如く配置され、その各交点の所に放電セル（2）が形成される。尚、カソードの本数は480の場合もある。

先ず、タイミング信号発生回路（22）について説明する。このタイミング信号発生回路（22）は、ロジックICにて構成されている。このタイミング信号発生回路（22）には、このプラズマ

は、Neガス及びArガスの混合ガスが数100又は200～450 Torrの圧力を以て封入されている。

前面ガラス板FGP上には、細い帯状のアノード（X電極）Aが所定間隔を置いて平行に被着されると共に、その隣接するアノードA間にはそれらと平行にバリアリブBRが被着されている。このバリアリブBRは、アノードAの厚さより十分大なる厚さを有する。

又、背面ガラス板RGP上には、後述するカソードKの所定本数毎に対応して夫々設けられた枚数のシート状のトリガー電極TGが被着されている。このトリガー電極TG上には絶縁層（誘電体層）ILが被着されている。そして、この絶縁層IL上に、帯状のカソード（Y電極）Kが、アノードAと直交し、所定間隔（バリアリブBRの厚さに等しい、100～200 μ m）を置いて互いに対向する如く、所定間隔を置いて平行に被着されている。

トリガー電極TGは、これとカソードK及びア

表示装置が接続されるマイクロコンピュータから、CRT制御信号として、第5図及び第6図に示す如く、入力端子（23）に表示データDTが、入力端子（24）に21MHzのドットクロックDCKが、入力端子（25）に25kHzの水平同期信号HSが、入力端子（26）に60Hzの垂直同期信号VSが夫々入力され、ここでこれら入力信号に基づいて第5図及び第6図に示す如き各種出力信号（タイミング信号）が形成されて出力され、後に説明する駆動回路（20）に供給される。

次に、このタイミング信号発生回路（22）から出力される各種出力信号について説明する。第5図には、入力信号として、水平同期信号HS、ドットクロックDCK及び表示データDTが示されると共に、これら水平同期信号HS及びドットクロックDCKを基にして作られた出力信号、即ち、水平周波数のラッチクロックLCK、水平周波数のクリア信号CLh及び水平周波数の15倍の周波数のグレイスケールクロックGCKが示されている。

又、第6図には、入力信号として、垂直同期信号 V_S 、水平同期信号 H_S 及び表示データ D_T が示される共に、この垂直同期信号 V_S 及び水平同期信号 H_S を基にして作られた出力信号、即ち、垂直周波数のクリア信号 $\overline{C_V}$ 、垂直周波数のシフトデータ S_D 及びトリガパルス T_P 並びに夫々水平周波数の $1/2$ の周波数のカソードクロック $\overline{C_K}$ 及びアウトプットイネーブル信号 O_E が示されている。又、第6図では図示を省略するが、カソードクロック $\overline{C_K}$ の位相反転したクロック及びアウトプットイネーブル信号 O_E の位相反転した信号も、タイミング信号発生回路(22)から出力される。

次に、第4図に戻って、駆動回路(20)について説明する。この駆動回路(20)は1Cにて構成されている。先ず、カソード側の回路について説明する。(3)はシリアルイン・パラレルアウトのシフトレジスタで、奇数番目及び偶数番目のカソードに対する夫々200ビットの第1及び第2のシリアルイン・パラレルアウトのシフトレジスタから構成されている。このシフトレジスタ

(3)の第1及び第2のシフトレジスタには、入力端子(4)からのシフトデータ S_D 及びこれと(1/2)水平周期位相を異にするシフトデータが夫々各別に供給されると共に、入力端子(5)からのカソードクロック $\overline{C_K}$ 及びその反転クロックが夫々各別に供給され、このクロック $\overline{C_K}$ 及びその反転クロックによって、シフトデータ S_D 及びこれと(1/2)水平周期位相を異にするシフトデータが夫々シフトされる。

(6)はカソードドライバで、奇数番目及び偶数番目のカソードに対する第1及び第2のカソードドライバから構成される。そして、シフトレジスタ(3)の第1及び第2のシフトレジスタからの夫々順次所定位相ずつずれた1垂直周期につき夫々200個のカソード走査パルスが、スイッチング制御信号として、高耐圧カソードドライバ(6)の第1及び第2のカソードドライバの夫々200個のオンオフスイッチに供給される。そして、このカソードドライバ(6)によって、カソード $K(1) \sim K(400)$ が、順次循環的に接

地される。又、出力端子(27)からのアウトプットイネーブル信号 O_E 及びその反転信号が、カソードドライバ(6)の第1及び第2のカソードドライバに夫々供給される。

次に、アノード側の回路について説明する。

(7)は、640バイト(=640×4ビット)のシリアルイン・パラレルアウトのシフトレジスタである。このシフトレジスタ(7)には、入力端子(8)から、4ビット、即ち16階調の表示データ D_T が供給されると共に、入力端子(9)から、21MHzのドットクロック DCK がデータシフトクロック $SCCK$ として供給され、このクロック $SCCK$ によって、表示データ D_T がシフトされる。

シフトレジスタ(7)からの640×4ビットの並列データは、ラッチ回路(10)に供給されて、入力端子(11)からのラッチクロック LCK によって、水平周期毎にラッチされる。

このラッチ回路(10)からの640×4ビットの並列データは、パルス幅カウンタ(15)

及びパルス幅比較回路(14)から構成されるパルス幅変調回路(17)のそのパルス幅比較回路(14)に供給される。このパルス幅比較回路(14)は、640個のパルス発生器を備えている。パルス幅カウンタ(15)には、入力端子(16)から、グレイスケールクロック GCK が供給される。

パルス幅カウンタ(15)及びパルス幅比較回路(14)には、入力端子(21)からのクリアパルス CLH が供給される。そして、パルス幅カウンタ(15)は、このクリアパルス CLH によってクリアされ、パルス幅比較回路(14)の各パルス発生器は、クリアパルス CLH によってセットされる。

アノードドライバ(12)に、入力端子(21)からのクリアパルス $\overline{C_V}$ が供給されて、その高レベルの期間において、パルス幅比較回路(14)の出力に基づいて、アノードドライバ(12)の各スイッチが選択的にオンに成さしめられる。

そして、パルス幅カウンタ(15)から出力さ

れた4ビットのパルス幅コード信号(グレイスケールデータ)が、パルス幅比較回路(14)に供給されて、ラッチ回路(10)からの640個の4ビットの表示データとが比較される。そして、パルス幅比較回路(14)の640個のパルス発生器の内の選択されたものからパルスが得られ、これがスイッチング制御信号として、高耐圧アノードドライバ(12)の640個のオンオフスイッチの対応するものに選択的に供給される。そして、1水平周期内の640ドットのパルスの16階調(0を含む)のデータに応じた、グレイクロックGCKの周期に等しい単位時間の略0、1、2、・・・、15倍のいずれかのパルス幅に応じた時間だけ、アノードA(1)～A(640)に200Vの電圧が選択的に供給される。

(18)はトリガー電極駆動回路で、これに入力端子(19)から、トリガーパルスTPが供給され、ここでトリガー電極制御信号が作られ、このトリガー電極制御信号が、図示を省略したトリガー電極TGに供給される。

次に、ラッチクロックLCKを発生する信号発生器(34A)を代表して、その構成を説明する。カウンタ(33)からの計数出力は、データ比較器(41a)、(41b)に供給される。

(43a)、(43b)は夫々基準値データ発生器で、カウンタ(33)に供給されるクロックCK₁、水平同期信号HS及び信号発生器(34A)の出力であるラッチクロックLCKのいずれかの周波数、位相等の違ひに応じた複数の基準値データを発生し、夫々セレクト(42a)、(42b)によって選択された後、データ比較器(41a)、(41b)に供給される。

そして、データ比較器(41a)、(41b)で、夫々カウンタ(33)の計数出力と、セレクト(42a)、(42b)によって選択された、基準値データ発生器(43a)、(43b)からの基準値データとが比較され、その各一致信号がラッチ回路(44a)、(44b)を通じて、RSフリップフロップ回路(45)の夫々セット入力端子及びリセット入力端子に供給される。そ

次に、第7図を参照して、第4図で説明した従来のプラズマ表示装置のタイミング信号発生回路(22)について説明する。先ず、信号発生部(37)について説明する。(33)はカウンタで、これはクロックCK₁によって計数されると共に、第4図のタイミング信号発生回路(22)の入力端子(25)に供給される水平同期信号HSによってリセットされる。クロックCK₁は、第4図のタイミング信号制御回路(22)の入力端子(24)に供給されるドットクロックDCK(その周波数をf_{ck}とする)(第5図)そのもの又はそのドットクロックDCKを分周比1/N(但し、N=2、3、4、・・・)を以て分周して得たクロックである。

そして、このカウンタ(33)の計数出力(所定ビットの並列データ)は、夫々例えば第5図のラッチクロックLCK、クリア信号CLh、グレイスケールクロックGCK等を発生する同一構成の信号発生器(34A)、(34B)、・・・に供給される。

して、そのフリップフロップ回路(45)から、ラッチクロックLCKが出力される。

同様に、信号発生器(34B)等において、クリア信号CLh、グレイスケールクロックGCK等が出力される。

次に、信号発生部(38)について説明する。(35)はカウンタで、これはクロックCK₂によって計数されると共に、第4図のタイミング信号発生回路(22)の入力端子(26)に供給される垂直同期信号VSによってリセットされる。クロックCK₂は、第4図のタイミング信号制御回路(22)の入力端子(25)に供給される水平同期信号HS(その周波数をf_hとする)(第5図及び第6図)そのもの又はその水平同期信号HSを運倍比M(但し、M=2、3、4、・・・)を以て運倍して得たクロックである。

そして、このカウンタ(35)の計数出力(所定ビットの並列データ)は、夫々例えば第6図のクリア信号CLv、シフトデータSD、カソードクロックCS、その反転クロック、アウトプットイネー

ブル信号OE、その反転信号、トリガパルス等
を夫々発生する、信号発生器(34)と同一の構
成の信号発生器(36A)、・・・等
に供給される。

又、第4図のタイミング信号発生回路(22)
の入力端子(23)に入力される表示データDT
は、ビデオRAM(31)に書き込まれ、又、そ
れが、信号発生部(37)、(38)から出力さ
れた各クロック、各同期信号とタイミ
ングが合うように読み出された後、こ
れら表示データ、各クロック、各同
期信号が、第4図の駆動回路(20)に
供給される。尚、RAM(31)は、メモ
リ制御回路によって、書き込み及び
読み出しが制御されると共に、アド
レス信号が供給される。そして、
駆動回路(20)によって、第4図の
プラズマ表示器(1)が駆動されて、
上述の表示データDTに基づいた表
示が成される。

(発明が解決しようとする課題)

上述の従来のプラズマ表示装置では、そのタイ

ミング信号発生回路(22)の信号発生部

(37)、(38)がロジックICで構成されて
いるため、タイミング信号発生回路(22)の回
路が複雑と成ると共に、その実装面積が
大きく成り、又、外部クロック及び外
部同期信号並びに内部クロック及び内
部同期信号の態様が異なる場合には、
それに応じて信号発生部(37)、(38)
の構成、特に基準値データ発生器の構
成を変えなければならない。

かかる点に鑑み、本発明は、回路の簡
素化及び実装面積の減少を図ると共に、
タイミング信号発生回路の回路変更を
伴わずして、容易に、夫々異なる態様
の外部クロック及び外部同期信号並び
に内部クロック及び内部同期信号に適
応させることのできるXYマトリックス
表示装置を提案しようとするものであ
る。

(課題を解決するための手段)

本発明は、XYマトリックス表示器(1)と、
そのXYマトリックス表示器(1)を駆動する駆

動回路(20)と、外部表示データ、外部クロ
ック及び外部同期信号を受けて、駆動回
路(20)に供給する外部表示データ、内
部クロック及び内部同期信号を発生す
るタイミング信号発生回路(22)とを有
するXYマトリックス表示装置において、
タイミング信号発生回路(22)は、内
部クロック及び内部同期信号の記憶さ
れたメモリ(51)、(52)(又は、(50))と、
外部同期信号によってリセットされる
と共に、その外部同期信号の周波数よ
り高い周波数を有する外部クロックに
よって計数され、メモリ(51)、(52)
(又は(50))に供給するアドレス信号
を発生するアドレスカウンタ(33)、(35)
(又は(57))とを有するようにしたもの
である。

(作用)

かかる本発明によれば、アドレスカウン
タ(33)、(35)(又は(57))が、外部同
期信号によってリセットされる共に、そ
の外部同

期信号の周波数より高い周波数を有す
る外部クロックによって計数され、こ
のアドレスカウンタ(33)、(35)(又は
(57))からのアドレス信号がメモリ
(51)、(52)(又は(50))に供給され、
それに基づいて、メモリ(51)、(52)
(又は(50))から内部クロック及び内
部同期信号が出力される。そして、こ
の内部クロック及び内部同期信号が、
内部表示データと共に駆動回路(20)に
供給され、この駆動回路(20)によっ
て、XYマトリックス表示器(1)が駆
動されて、この内部表示データに基づ
いた表示が行われる。

(実施例)

以下に、第1図を参照して、本発明を
プラズマ表示装置に適用した実施例を
説明する。尚、この実施例は、タイミ
ング信号発生回路(22)の構成が、第
7図の従来例と異なるだけで、その他
の構成は第3図及び第4図と同様であ
るので、その説明は省略する。

以下に、第1図を参照して、この実施例のタイミング信号発生回路の構成について説明する。先ず、信号発生部(37)について説明する。

(33)は第7図と同様のカウンタ(ここでは、アドレスカウンタとして機能する)で、これはクロック CK_1 によって計数されると共に、第4図のタイミング信号発生回路(22)の入力端子(25)に供給される水平同期信号 H によってリセットされる。クロック CK_1 は、第4図のタイミング信号制御回路(22)の入力端子(24)に供給されるドットクロック DCK (その周波数を f_{ck} とする)(第5図)そのもの又はそのドットクロック DCK を分周比 $1/N$ (但し、 $N=2, 3, 4, \dots$)を以て分周して得たクロックである。この場合、周波数 f_{ck}/N は、水平同期信号 H の周波数より高いことが必要である。

そして、このカウンタ(33)の計数出力(所定ビットの並列データ)は、夫々例えば第5図のラッチクロック LCK 、クリア信号 CLh 、グレイスケールクロック GCK 等が記憶されている

れる。

次に、信号発生部(38)について説明する。

(35)は第7図と同様のカウンタ(ここではアドレスカウンタとして機能する)で、これはクロック CK_2 によって計数されると共に、第4図のタイミング信号発生回路(22)の入力端子

(26)に供給される垂直同期信号 V によってリセットされる。クロック CK_2 は、第4図のタイミング信号制御回路(22)の入力端子(25)に供給される水平同期信号 H (その周波数を f_h とする)(第5図及び第6図)そのもの又はその水平同期信号 H を過倍比 M (但し、 $M=2, 3, 4, \dots$)を以て過倍して得たクロックである。

そして、このカウンタ(35)の計数出力(所定ビットの並列データ)は、夫々例えば第6図のクリア信号 CLv 、シフトデータ SD 、カソードクロック CC 、その反転クロック、アウトプットイネーブル信号 OE 、その反転信号、トリガパルス TP 等が記憶されたROM(RAMも可)(52)に、

ROM(RAMも可)(51)に、アドレス信号として供給される。このROM(51)は、メモリ制御回路(56)によって、その読み出しが制御される。

又、カウンタ(33)に供給されるクロック CK_1 、水平同期信号 H 及び信号発生部(37)から出力されるラッチクロック LCK 、クリア信号 CLh 、グレイスケールクロック GCK 等の周波数、位相等のいずれかの違いに応じて、ラッチクロック LCK 、クリア信号 CLh 、グレイスケールクロック GCK 等の周波数、位相等の異なるものを複数種類、ROM(51)に記憶しておいて、メモリ制御回路(56)に供給する制御信号 CTL によって、ROM(51)のアドレスカウンタ(33)からのアドレス信号に基づいてデータの読み出されるアドレスを変更するようにする。

このROM(51)から読み出されたラッチクロック LCK 、クリア信号 CLh 、グレイスケールクロック GCK 等は、ラッチ回路(54)を介して、第4図と同様の駆動回路(20)に供給さ

アドレス信号として供給される。このROM

(52)は、上述のメモリ制御回路(56)によって、その読み出しが制御される。

又、カウンタ(35)に供給されるクロック CK_2 、垂直同期信号 V 及び信号発生部(38)から出力されるクリア信号 CLv 、シフトデータ SD 、カソードクロック CC 、その反転クロック、アウトプットイネーブル信号 OE 、その反転信号、トリガパルス TP 等の周波数、位相等のいずれかの違いに応じて、クリア信号 CLv 、シフトデータ SD 、カソードクロック CC 、その反転クロック、アウトプットイネーブル信号 OE 、その反転信号、トリガパルス TP 等の周波数、位相等の異なるものを複数種類、ROM(52)に記憶しておいて、メモリ制御回路(56)に供給する制御信号 CTL によって、ROM(52)のアドレスカウンタ(35)からのアドレス信号に基づいてデータの読み出されるアドレスを変更するようにする。

このROM(52)から読み出されたクリア信号 CLv 、シフトデータ SD 、カソードクロック CC 、

その反転クロック、アウトプットイネーブル信号OE、その反転信号、トリガパルス等が、ラッチ回路(55)を通じて第4図と同様の駆動回路(20)に供給される。

又、外部表示データDTは、伝送線LNを通じて、そのまま内部表示データDTとして出力される。

第1図の実施例のタイミング信号発生回路では、信号発生部(37)、(38)を構成するために、カウンタ(33)、(35)及びROM(51)、(52)を夫々2個ずつ設けた場合であるが、第2図に示す如く、夫々1個のカウンタ(57)、ROM(50)にて構成することもできる。

その場合には、カウンタ(57)は、クロックCK₁によって計数されると共に、第4図のタイミング信号発生回路(22)の入力端子(26)に供給される垂直同期信号VSによってリセットされる。クロックCK₁は、第4図のタイミング信号制御回路(22)の入力端子(24)に供給されるドットクロックDCK(その周波数をf_{ck}と

する)(第5図)そのもの又はそのドットクロックDCKを分周比1/N(N=2、3、4、・・・)を以て分周して得たクロックである。

そして、このカウンタ(57)の計数出力(所定ビットの並列データ)は、夫々例えば第5図のラッチクロックLCK、クリア信号CLh、グレイスケールクロックGCK等及び第6図のクリア信号CLv、シフトデータSD、カソードクロックKC、その反転クロック、アウトプットイネーブル信号OE、その反転信号、トリガパルス等が記憶されたROM(RAMも可)(50)に、アドレス信号として供給される。このROM(50)は、メモリ制御回路(56)によって、その読み出しが制御される。このROM(50)から読み出されたラッチクロックLCK、クリア信号CLh、グレイスケールクロックGCK等クリア信号CLv、シフトデータSD、カソードクロックKC、その反転クロック、アウトプットイネーブル信号OE、その反転信号、トリガパルス等は、ラッチ回路(53)を介して、第4図と同様の駆動回路

(20)に供給される。

(発明の効果)

上述せる本発明によれば、回路の簡素化及び実装面積の減少を図ると共に、タイミング信号発生回路の回路変更を伴わずして、容易に、夫々異なる態様の外部クロック及び外部同期信号並びに内部クロック及び内部同期信号に適応させることができるようにしたXYマトリックス表示装置を得ることができる。

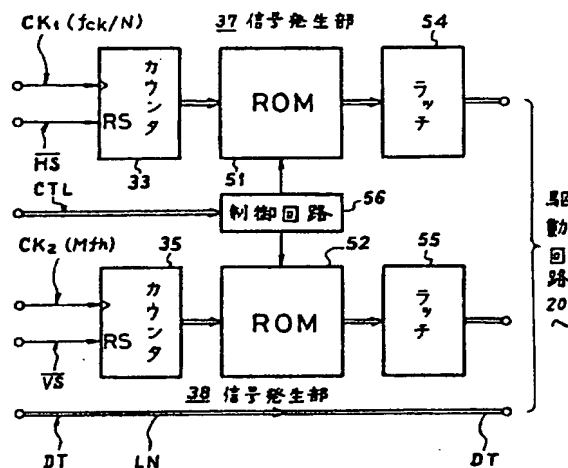
図面の簡単な説明

第1図及び第2図は夫々本発明の各実施例、特にそのタイミング信号発生回路の部分を示すブロック線図、第3図は従来のプラズマ表示装置に用いるプラズマ表示パネルを示す斜視図、第4図は従来のプラズマ表示装置を示すブロック線図、第5図及び第6図は夫々従来のプラズマ表示装置の動作説明に供するタイミングチャート、第7図は従来のプラズマ表示装置のタイミング信号発生回路を示すブロック線図である。

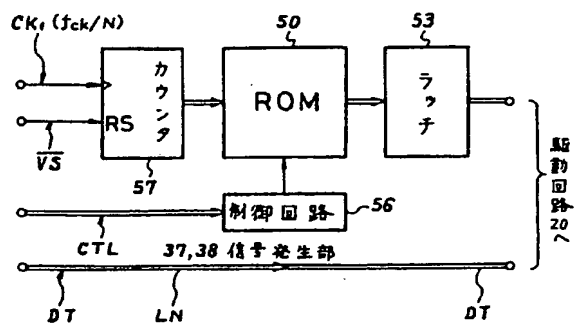
(1)はプラズマ表示パネル、(20)は駆動回路、(22)はタイミング信号発生回路、(33)、(35)、(57)は夫々アドレスカウンタ、(50)、(51)、(52)は夫々ROMである。

代理人 伊藤 貞

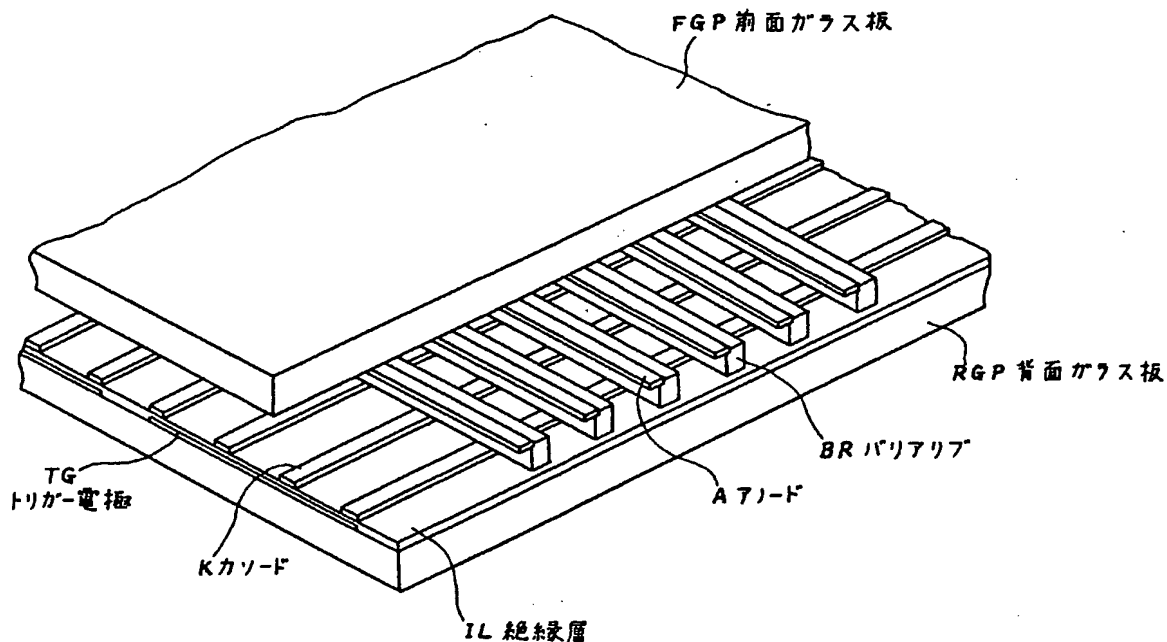
同 松隈 秀盛



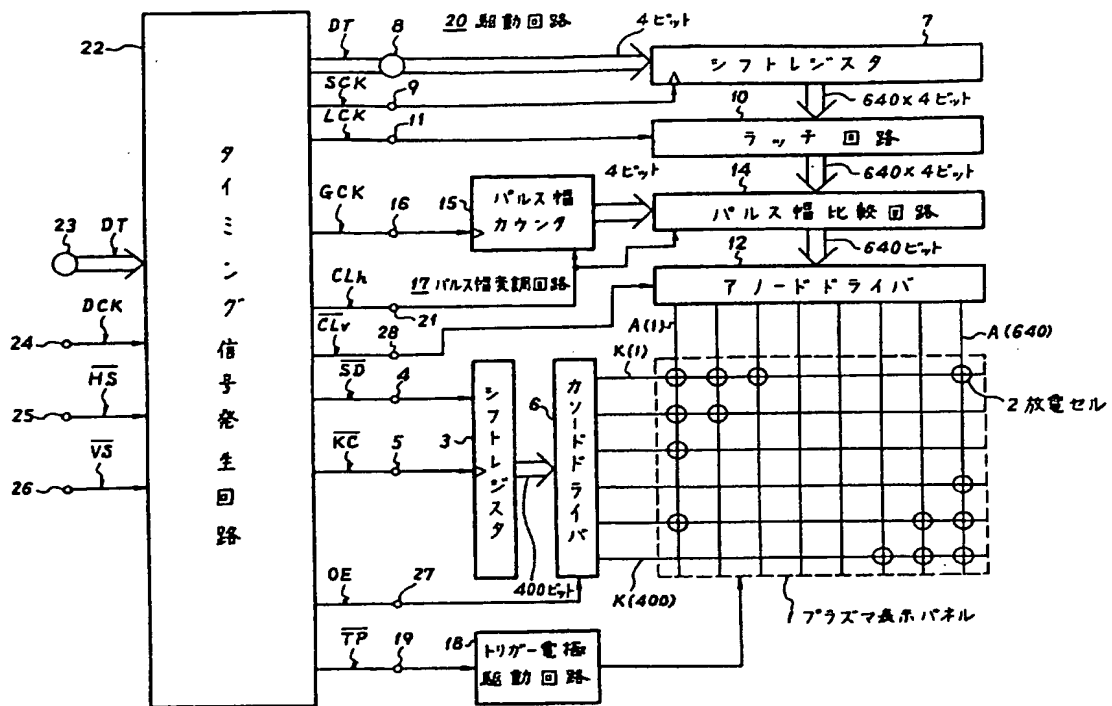
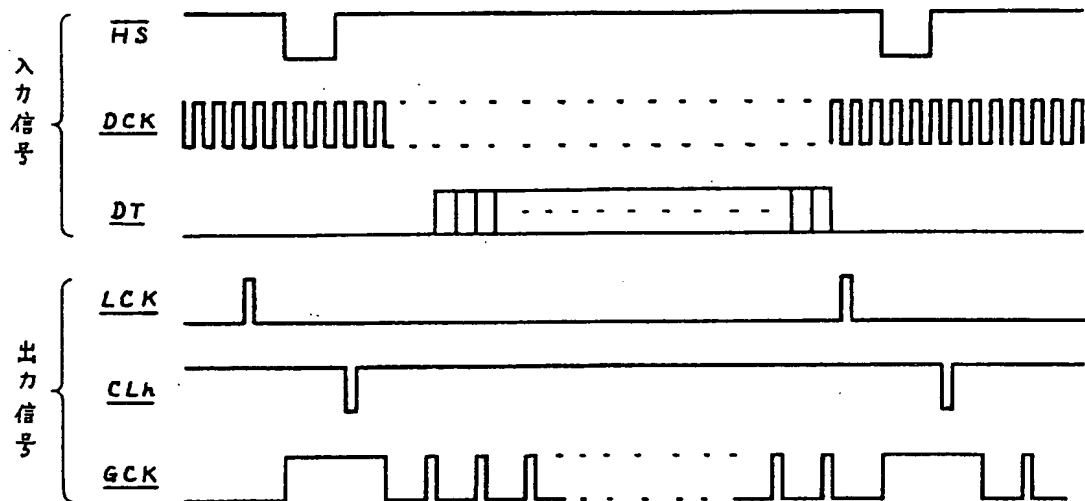
実施例(I)
第1図

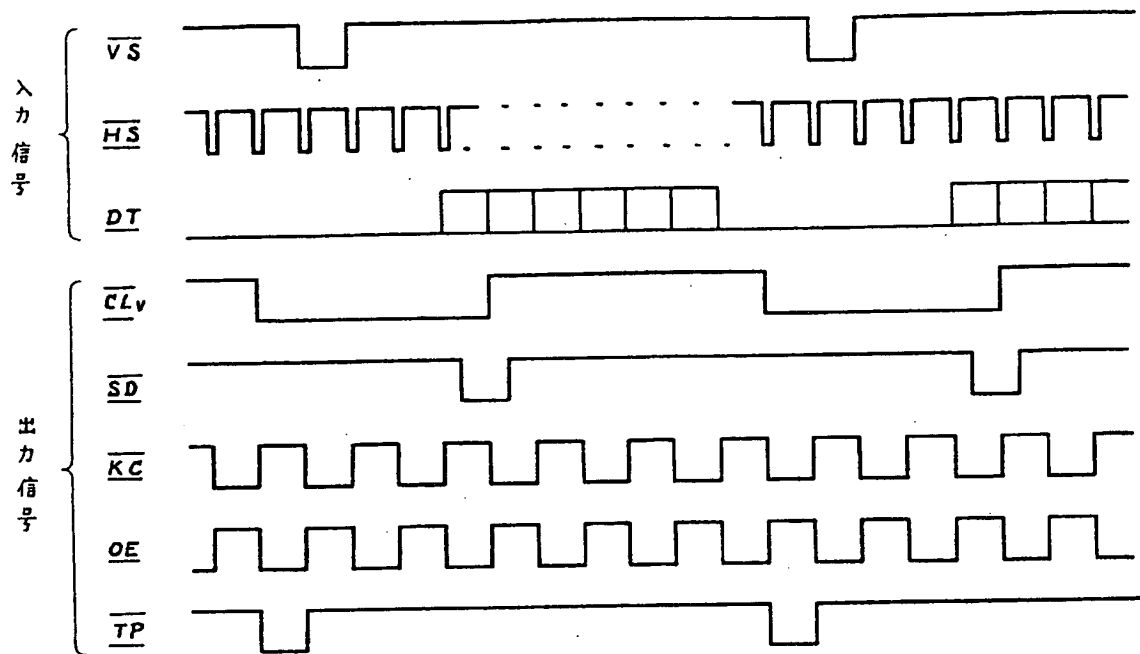


実施例(II)
第2図

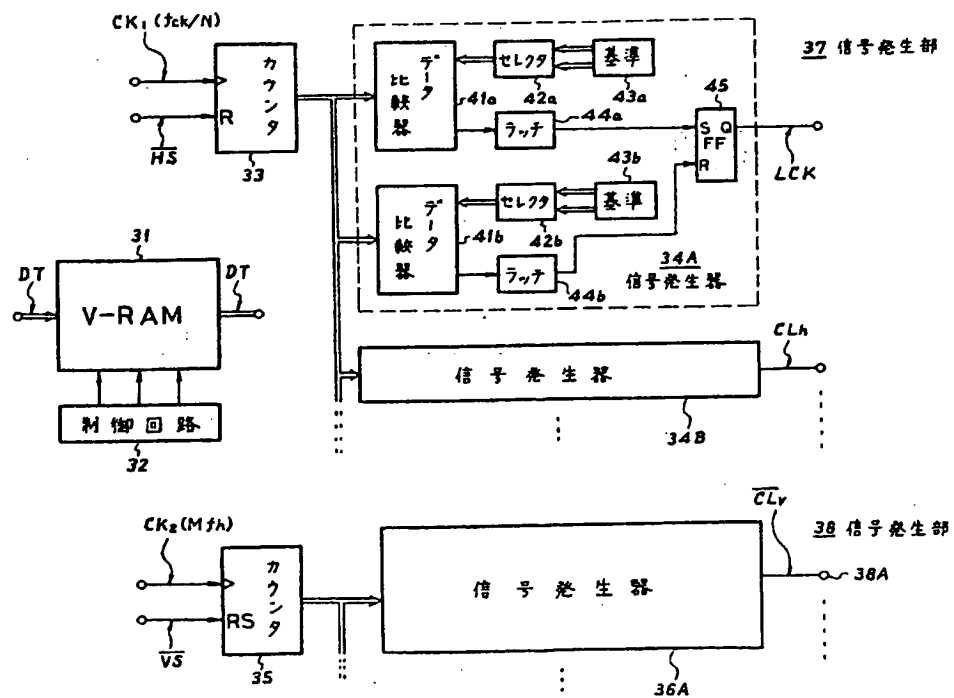


従来のプラズマ表示パネル
第3図


従来のプラズマ表示装置
第4図

タイミングチャート
第5図



タイミングチャート
第6図



従来のタイミング制御回路
第7図

第1頁の続き

⑦発明者 遠藤 颯一 神奈川県横浜市緑区桂台1-5-5 デイクシー株式会社
内

This Page Blank (usp.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)